

**BEST AVAILABLE COPY****PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 05-282103

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

G06F 3/06  
G06F 13/10  
G11B 19/02  
G11B 20/10

(21)Application number : 04-081269

(71)Applicant : NEC ENG LTD

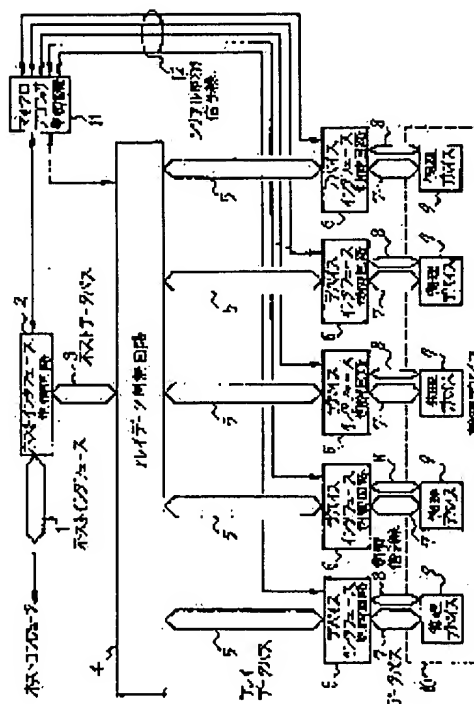
(22)Date of filing : 03.04.1992

(72)Inventor : TSURUMAKI MASAYOSHI

**(54) DISK ARRAY DEVICE****(57)Abstract:**

**PURPOSE:** To remarkably simplify a wiring pattern among respective control circuits by applying communication based upon a serial bit string to signal lines for controlling respective device interface control circuits.

**CONSTITUTION:** A microprocessor control circuit 11 monitoring a host interface control circuit 2 detects the transfer of an instruction from a host computer and sends an instruction to an array data control circuit 4 so as to set up a data path between an array data bus 5 and a host data bus 3. At the time of judging that status information sent from each device interface circuit 6 through a serial control signal line 12 as accessible data, the circuit 11 sends an instruction necessary for controlling the circuit 6 to the circuit 6 concerned as a serial bit string.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-282103

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 3/06	3 0 1 B	7165-5B		
	Z	7165-5B		
13/10	3 4 0 B	8133-5B		
G 1 1 B 19/02	F	7525-5D		
20/10	D	7923-5D		

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-81269

(22)出願日 平成4年(1992)4月3日

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区西新橋3丁目20番4号

(72)発明者 鶴巻 政義

東京都港区西新橋3丁目20番4号日本電気

エンジニアリング株式会社内

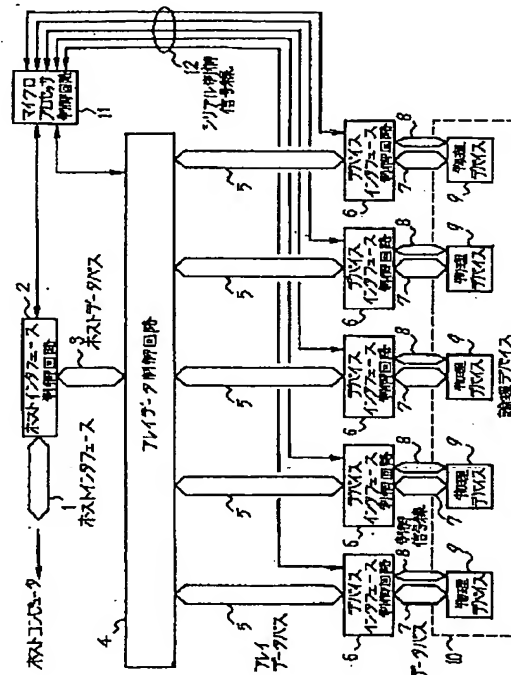
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 ディスクアレイ装置

(57)【要約】

【目的】 ディスクアレイ装置において、各磁気ディスク装置を一对で制御する複数のデバイスインタフェース制御回路を制御するための信号線を、シリアル通信線化することにより、信頼性の優れたディスクアレイ装置を提供する。

【構成】 ホストインタフェース1と、ホストインタフェース制御回路2と、ホストデータバス3と、アレイデータ制御回路4と、アレイデータバス5と、デバイスインタフェース制御回路6と、データバス7と、制御信号線8と、磁気ディスクによる物理デバイス9と、マイクロプロセッサ制御回路11と、デバイスインタフェース制御回路6間のシリアル通信を確保するシリアル制御信号線12とによって構成される。



## 【特許請求の範囲】

【請求項1】 ホストコンピュータに接続されるホストインタフェースと、前記ホストインタフェースを制御するホストインタフェース制御回路と、前記ホストインタフェース制御回路に接続されるホストデータバスと、前記ホストデータバスに接続されデータを処理するアレイデータ制御回路と、前記アレイデータ制御回路に接続される複数N個のアレイデータバスと、前記N個のアレイデータバスのそれぞれに接続されるN個のデバイスインタフェース制御回路と、前記N個のデバイスインタフェース制御回路のそれぞれに接続されるN個のデータバスおよびN個の制御信号線と、前記N個のデータバスおよびN個の制御信号線のそれぞれに接続されるN台の磁気ディスク装置と、前記ホストインタフェース制御回路、前記アレイデータ制御回路および前記デバイスインタフェース制御回路の各制御回路を制御するマイクロプロセッサ制御回路とを有するディスクアレイ装置において、前記N個のデバイスインタフェース制御回路と前記マイクロプロセッサ制御回路とをそれぞれ個別に接続するN本のシリアル制御信号線により前記N個のデバイスインタフェース制御回路を制御することを特徴とするディスクアレイ装置。

【請求項2】 前記N本のシリアル制御信号線が、前記マイクロプロセッサ制御回路から前記N個のデバイスインタフェース制御回路を制御するに必要な命令をシリアルビット列として送出し、かつ前記デバイスインタフェース制御回路から前記マイクロプロセッサ制御回路に対して前記N台の磁気ディスク装置のステータス情報をシリアルビット列として送出する転送ラインを構成することを特徴とする請求項1記載のディスクアレイ装置。

【請求項3】 前記マイクロプロセッサ制御回路が、前記ホストインタフェース制御回路を監視しつつ、ホストコンピュータから前記ホストインタフェースを通じて命令転送が行なわれたか否かを検出し、前記命令転送を検出した場合には前記ホストデータバスと前記アレイデータバス間の命令転送を確保するように前記アレイデータ制御回路を制御するものであることを特徴とする請求項1記載のアレイディスク装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はディスクアレイ装置に関し、特に小型で安価な複数台の磁気ディスク装置（以下物理デバイスという）を同期並列処理させることにより、信頼性が高く高性能な1台の磁気ディスク装置（以下論理デバイスという）を実現するディスクアレイ装置に関する。

## 【0002】

【従来の技術】 従来のディスクアレイ装置は、デバイスインタフェースにSCSI (Small Computer System Interface)、IPI-

2, IDE等が使用されており、このデバイスインタフェースの制御をつかさどるN個のデバイスインタフェース制御回路とマイクロプロセッサ制御回路とは、8ビットまたは16ビットのデータバスと、8ビットの制御バスとでそれぞれが接続されている。

## 【0003】

【発明が解決しようとする課題】 この従来のディスクアレイ装置は、マイクロプロセッサ制御回路とデバイスインタフェース制御回路間の信号線が非常に多く、それぞれの制御回路および制御回路間の配線パターンが非常に複雑になるという問題点があった。

【0004】 本発明の目的は、上述した問題点を解決し、マイクロプロセッサ制御回路とデバイスインタフェース制御回路間のデータバスと制御バスをシリアルビット列を通す1本のビットシリアル信号線で構成したディスクアレイ装置を提供することにある。

## 【0005】

【課題を解決するための手段】 本発明の装置は、ホストコンピュータに接続されるホストインタフェースと、前記ホストインタフェースを制御するホストインタフェース制御回路と、前記ホストインタフェース制御回路に接続されるホストデータバスと、前記ホストデータバスに接続されデータを処理するアレイデータ制御回路と、前記アレイデータ制御回路に接続される複数N個のアレイデータバスと、前記N個のアレイデータバスのそれぞれに接続されるN個のデバイスインタフェース制御回路と、前記N個のデバイスインタフェース制御回路のそれぞれに接続されるN個のデータバスおよびN個の制御信号線と、前記N個のデータバスおよびN個の制御信号線のそれぞれに接続されるN台の磁気ディスク装置と、前記ホストインタフェース制御回路、前記アレイデータ制御回路および前記デバイスインタフェース制御回路の各制御回路を制御するマイクロプロセッサ制御回路とを有するディスクアレイ装置において、前記N個のデバイスインタフェース制御回路と前記マイクロプロセッサ制御回路とをそれぞれ個別に接続するN本のシリアル制御信号線により前記N個のデバイスインタフェース制御回路を制御する構成を有する。

【0006】 また本発明の装置は、前記N本のシリアル制御信号線が、前記マイクロプロセッサ制御回路から前記N個のデバイスインタフェース制御回路を制御するに必要な命令をシリアルビット列として送出し、かつ前記デバイスインタフェース制御回路から前記マイクロプロセッサ制御回路に対して前記N台の磁気ディスク装置のステータス情報をシリアルビット列として送出する転送ラインとした構成を有する。

【0007】 さらに本発明の装置は、前記マイクロプロセッサ制御回路が、前記ホストインタフェース制御回路を監視しつつ、ホストコンピュータから前記ホストインタフェースを通じて命令転送が行なわれたか否かを検出

し、前記命令転送を検出した場合には前記ホストデータバスと前記アレイデータバス間の命令転送を確保するように前記アレイデータ制御回路を制御するものとした構成を有する。

【0008】

【実施例】次に、本発明について図面を参照し説明する。

【0009】図1は、本発明の一実施例を示すブロック図である。図1に示す実施例のディスクアレイ装置は、ホストコンピュータに接続されるホストインタフェース1と、ホストインタフェース1を制御するホストインタフェース制御回路2と、ホストインタフェース制御回路2に接続されるホストデータバス3と、ホストデータバス3に接続されデータを処理するアレイデータ制御回路4と、アレイデータ制御回路4に接続されるN個のアレイデータバス5と、前記N個のアレイデータバス5の各々に接続されるN個、本実施例では5個のデバイスインタフェース制御回路6と、5個のデバイスインタフェース制御回路6のそれぞれと接続される5個のデータバス7および5個の制御信号線8と、5個のデータバス7と5個の制御信号線8のそれぞれに接続される磁気ディスクを利用する5台の物理デバイス9と、各デバイスインタフェース制御回路6を制御するマイクロプロセッサ制御回路11と、5個のデバイスインタフェース制御回路6とマイクロプロセッサ制御回路11とをそれぞれ個別に接続する5本のシリアル制御信号線12とを含んで構成される。

【0010】次に、本実施例の動作について説明する。まず、データリード動作について説明する。

【0011】ホストコンピュータがホストインタフェース1を通じてディスクアレイ装置に対してデータリード命令を発行する。

【0012】ホストインタフェース制御回路2を監視しているマイクロプロセッサ制御回路11は、ホストコンピュータからデータリード命令が転送されてきたことを検出し、アレイデータバス5とホストデータバス3との間のリードデータバスの確立を行うようにアレイデータ制御回路4へ命令を送る。

【0013】次に、マイクロプロセッサ制御回路11は、デバイスインタフェース制御回路6からシリアル制御信号線12を介して送られてくるステータス情報が、アクセス可能と判断すると、シリアル制御信号線12を通してデバイスインタフェース制御回路6を制御するのに必要な命令を、シリアルビット列としてデバイスインタフェース制御回路6に送出する。

【0014】デバイスインタフェース制御回路6は、送られてきたシリアルビット列による命令を解釈し、磁気ディスクを利用する物理デバイス9に対するリード動作を行う。

【0015】このリード動作中に、デバイスインタフェ

ース制御回路6に対してマイクロプロセッサ制御回路11から命令が送られてきた場合には、マイクロプロセッサ制御回路11からの命令が受け付けられないという意味のステータス情報をシリアルビット列でシリアル制御信号線12を介してマイクロプロセッサ制御回路11に送出する。

【0016】物理デバイス9がリード動作を終了すると、デバイスインタフェース制御回路6はシリアル制御信号線12を介してマイクロプロセッサ制御回路11にアクセス可能という意味のシリアルビット列を送り、データリード命令動作を終了する。

【0017】次に、データライト動作について説明する。

【0018】ホストコンピュータが、ホストインタフェース1を通じてディスクアレイ装置に対してデータライト命令を発行する。

【0019】ホストインタフェース制御回路2を監視しているマイクロプロセッサ制御回路11は、データライト命令が転送されてきたことを検出し、アレイデータバス5とホストデータバス3との間のライトデータバスの確立を行うようにアレイデータ制御回路4へ命令を送出する。

【0020】次に、マイクロプロセッサ制御回路11は、デバイスインタフェース制御回路6からシリアル制御信号線12を介して送られてくるステータス情報が、アクセス可能を示すものと判断すると、シリアル制御信号線12を介してデバイスインタフェース制御回路6を制御するのに必要な命令をシリアルビット列としてデバイスインタフェース制御回路6に送出する。

【0021】デバイスインタフェース制御回路6は、送られてきたシリアルビット列による命令を解釈し、物理デバイス9に対するライト動作を行う。

【0022】このライト動作中に、デバイスインタフェース制御回路6に対してマイクロプロセッサ制御回路11から命令が送られてきた場合には、マイクロプロセッサ制御回路11からの命令が受け付けられないという意味のステータス情報をシリアルビット列でシリアル制御信号線12を介してマイクロプロセッサ制御回路11に送出する。

【0023】物理デバイス9が、ライト動作を終了すると、デバイスインタフェース制御回路6はシリアル制御信号線12を介してマイクロプロセッサ制御回路11にアクセス可能という意味のシリアルビット列を送り、データライト命令動作を終了する。

【0024】データライト命令動作は、アレイデータバス5とホストデータバス3との間のライトデータバスの確立を行うようにアレイデータ制御回路4へ命令を送ることおよび物理デバイス9に対してライト動作を命令することを除いてはデータリード命令動作と同一の動作を行う。

【0025】このようにして、各デバイスインタフェース制御回路とマイクロプロセッサ制御回路間の信号線を大幅に圧縮したディスクアレイ装置が実現できる。

【0026】

【発明の効果】以上説明したように本発明によれば、ディスクアレイ装置における複数の磁気ディスク装置を制御するデバイスインタフェース制御回路を制御するための信号線をシリアルビット列による通信とすることにより、各制御回路および各制御回路間の配線パターンを著しく簡素化し、信頼性を著しく向上したディスクアレイ装置が実現できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【符号の説明】

- 1    ホストインタフェース
- 2    ホストインタフェース制御回路
- 3    ホストデータバス
- 4    アレイデータ制御回路
- 5    アレイデータバス
- 6    デバイスインタフェース制御回路
- 7    データバス
- 8    制御信号線
- 9    物理デバイス
- 10   論理デバイス
- 11   マイクロプロセッサ制御回路
- 12   シリアル制御信号線

【図1】

